

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

第 92105714 號
初審(訴願)引証附件
再審

中華民國專利公報 [19] [12]

[11]公告編號：461180

[44]中華民國 90 年 (2001) 10 月 21 日

發明

全 27 頁

[51] Int.Cl. 06: H03K17/00
H03K5/00
G09G3/36

[54]名 稱：數位／類比轉換器電路、位準移位電路、利用位準移位電路的移位暫存器，取樣門鎖電路，門鎖電路及合併前述電路的液晶顯示裝置

[21]申請案號： 088122345 [22]申請日期：中華民國 88 年 (1999) 12 月 18 日

[30]優先權：	[31]10-362283	[32]1998/12/21	[33]日本
	[31]11-023383	[32]1999/02/01	[33]日本
	[31]11-023384	[32]1999/02/01	[33]日本
	[31]11-023382	[32]1999/02/01	[33]日本
	[31]11-299188	[32]1999/10/21	[33]日本

[72]發明人：
仲島 義晴 日本
前川 敏一 日本

[71]申請人：
新力股份有限公司 日本

[74]代理人： 陳長文 先生

1

2

[57]申請專利範圍：

- 1.一種數位-類比轉換器電路，包含 n 個串聯連結的類比開關偏振而可匹配各資料信號 n 位元邏輯(n 為 2 或 2 以上之整數)，及 2n 個色調選擇單元分別連結跨各該 2n 個參考電壓線之輸出。
- 2.如申請專利範圍第 1 項之數位-類比轉換器電路，包含一個導電型 MOS 電晶體，其中各該 n 個類比開關係對應於各該資料信號位元之邏輯。
- 3.如申請專利範圍第 2 項之數位-類比轉換器電路，其中該資料信號振幅係低抵等於於參考電壓位準範圍的 P 通道 MOS 電晶體門限值之量且係高達等於 N 通道 MOS 電晶體門限值之量。
- 4.一種液晶顯示裝置，具有一第一板係由有放像素區包含複數像素及一驅動電路含有一數位／類比轉換器電路形成，一第二板位於面對第一板之特定間隙，及一液晶層係夾持於第一板與第二板間，其中

5. 該數位／類比轉換器電路包含 n 個器聯連結的類比開關偏振而可匹配各資料信號 n 位元邏輯(n 為 2 或 2 以上之整數)，及進一步包含 2n 個色調選擇單元分別連結跨 2n 參考電壓線及像素區段行線。
- 5.如申請專利範圍第 4 項之液晶顯示裝置，其中各該有效像素區之像素係由共通反相方法驅動而於各水平間期反相，一共通電壓共通外加至該液晶單元電極。
10. 6.如申請專利範圍第 4 項之液晶顯示裝置，其包含一移位暫存器包含複數移轉階段來經由響應開始信號進行移位操作由各移轉階段循序輸出取樣脈衝；一第一門鎖電路與由該移位暫存器各移轉階段輸出的取樣脈衝同步化，且循序取樣並門鎖資料信號；以及一第二門鎖電路用以門鎖於第一門鎖電路取樣的信號與匹配行線於各水
15. 20.

平間期，以及供給被門鎖的信號給數位／類比轉換器電路，以及此外

該移位暫存器具有一第一位準移位電路來供給開始信號給移轉階段之初階段，及一第二位準移位電路來供給時脈信號給各該移轉階段作為一位準移位，該第一及第二位準移位電路具有一 CMOS 門鎖單元作為基本結構，以及電阻器元件插置於 CMOS 門鎖單元之二輸入段與二輸入信號間，以及該第一門鎖電路具有一 CMOS 門鎖單元作為基本結構，具有一第一開關係連結於 CMOS 門鎖單元之二輸入段與二輸入信號源間，一第二開關係連結於 CMOS 門鎖單元之電源供應線與電源供應端間，以及一控制裝置來控制第一及第二開關的補償交換以及，該第二門鎖電路具有一 CMOS 門鎖單元作為基本結構，其具有一第一開關及第二開關架設於 CMOS 門鎖之正電源供應端或負電源供應端中之至少一者而分別選擇具有不同電源供應電壓之一第一及一第二電源供應，以及一控制裝置用以根據 CMOS 門鎖單元之門鎖操作及輸出操作各期間來控制第一開關及第二開關的交換。

7. 如申請專利範圍第 6 項之液晶顯示裝置，其中該驅動電路具有一位準移位電路介於第二門鎖電路與數位／類比轉換器電路間，用以位準移位於第二門鎖電路被門鎖的信號供輸出作為位準移位置數位／類比轉換器電路，以及該位準移位電路具有一 CMOS 門鎖單元作為基本結構及具有電阻器元件插置於 CMOS 門鎖單元之二輸入信號源與二輸入段間。

8. 如申請專利範圍第 4 項之液晶顯示裝置，其中各該 n 個類比開關包含一個對應數位信號各位元邏輯之導電型 MOS 電晶體。

9. 如申請專利範圍第 8 項之液晶顯示裝置，其中該資料信號幅度相對於參考電壓位準範圍係低抵 P 通道 MOS 電晶體門限值且高達或高於 N 通道 MOS 電晶體門限值。

5. 10. 一種位準移位電路，具有一 CMOS 門鎖單元作為基本結構且將低電壓振幅信號轉成高電壓振幅信號，其中一第一電阻器元件係分別插置於 CMOS 門鎖單元之二信號源與二輸入段間。

11. 如申請專利範圍第 10 項之位準移位電路，其中該第一電阻器元件為一電晶體。

12. 如申請專利範圍第 10 項之位準移位電路，其中一第二電阻器元件係插置於電源供應與該 CMOS 門鎖單元之二輸入段間。

13. 如申請專利範圍第 12 項之位準移位電路，其中該第一電阻器元件及該第二電阻器元件為電晶體。

14. 如申請專利範圍第 12 項之位準移位電路，其中該位準移位操作係唯有當開關於開態時進行，係經由利用具有有限電阻值的開關作為第一及第二電阻器元件，以及於所有其它時間進行門鎖操作。

15. 如申請專利範圍第 14 項之位準移位電路，其中該位準移位電路具有控制電路來唯有於需要時設定開關於開態。

16. 如申請專利範圍第 14 項之位準移位電路，其中該位準移位電路具有復置電路來決定 CMOS 門鎖單元之初態。

17. 一種移位暫存器，包含複數移位階段及具有一第一位準移位電路來供給一開始信號作為位準移位置移轉階段之第一階段，以及一第二位準移位電路來供給一時脈信號作為一位準移位置各該移轉階段，其中該第一及第二位準移位電路具有一 CMOS 門鎖單元作為基本結構，以及一第一電阻器元件

分別插置於該 CMOS 門鎖單元之二輸入段與二輸入信號源間。

18. 如申請專利範圍第 17 項之移位暫存器，其中該第一電阻器元件為一電晶體。
19. 如申請專利範圍第 17 項之移位暫存器，其中該第二電阻器元件係分別插置於電源供應與 CMOS 門鎖單元之二輸入段間。
20. 如申請專利範圍第 19 項之移位暫存器，其中該第一及第二電阻器元件為電晶體。
21. 如申請專利範圍第 19 項之移位暫存器，其中該位準移位操作係唯有當開關於開態時利用開關進行，該開關具有有限電阻值作為第一及第二電阻器元件，而於所有其它時間進行門鎖操作。
22. 如申請專利範圍第 21 項之移位暫存器，其中該移位暫存器具有控制電路來唯有於需要時才將開關設定於開態。
23. 如申請專利範圍第 21 項之移位暫存器，其中該移位暫存器具有復置電路來決定 CMOS 門鎖單元之初態。
24. 如申請專利範圍第 17 項之移位暫存器，其中該移位暫存器係利用薄膜電晶體形成於一玻璃基板上製造。
25. 如申請專利範圍第 17 項之移位暫存器，其中該移位暫存器係利用薄膜電晶體形成於一矽基板上製造。
26. 一種液晶顯示裝置，其係整合一像素段及含掃描系統之驅動電路於同一片基板上，該液晶顯示裝置具有一掃描系統包含複數移轉階段，一第一位準移位電路來供給一開始信號作為一位準移位置移轉階段之第一階段，以及一第二位準移位電路來供應一時脈信號作為位準移位至各該移轉階段，其中該第一及第二位準移位電路具有一

CMOS 門鎖單元作為基本結構，以及一電阻器元件係分別插置於該 CMOS 門鎖單元之二輸入段與二輸入信號源間。

5. 27. 如申請專利範圍第 26 項之液晶顯示裝置，其中該第一電阻器元件為一電晶體。
28. 如申請專利範圍第 26 項之液晶顯示裝置，其中該第二電阻器元件係分別插置於電源供應與 CMOS 門鎖單元之二輸入段間。
29. 如申請專利範圍第 28 項之液晶顯示裝置，其中該第一及第二電阻器元件為電晶體。
15. 30. 如申請專利範圍第 28 項之液晶顯示裝置，其中該位準移位操作係唯有當開關於開態時利用開關進行，該開關具有有限電阻值作為第一及第二電阻器元件，而於所有其它時間進行門鎖操作。
20. 31. 如申請專利範圍第 30 項之液晶顯示裝置，其中該液晶顯示裝置具有控制電路來唯有於需要時才將開關設定於開態。
25. 32. 如申請專利範圍第 30 項之液晶顯示裝置，其中該液晶顯示裝置具有一復置電路來決定 CMOS 門鎖單元之初態。
33. 一種液晶顯示裝置，其中該液晶顯示裝置具有一位準移位電路帶有一 CMOS 門鎖單元作為基本結構，及一第一電阻器元件係分別插置於 CMOS 門鎖單元之二輸入段與二輸入信號源間，及一具有低電壓振幅的信號被轉成帶有高電壓振幅的信號。
35. 34. 如申請專利範圍第 33 項之液晶顯示裝置，其中該第一電阻器元件為電晶體。
35. 如申請專利範圍第 33 項之液晶顯示裝置，其中該第二電阻器元件係分別插置於電源供應與 CMOS 門鎖單元之二
- 40.

輸入段間。

- 36.如申請專利範圍第35項之液晶顯示裝置，其中該第一及第二電阻器元件為電晶體。
- 37.如申請專利範圍第35項之液晶顯示裝置，其中該位準移位操作係唯有當開關於開態時利用開關進行，該開關具有有限電阻值作為第一及第二電阻器元件，而於所有其它時間進行門鎖操作。
- 38.如申請專利範圍第37項之液晶顯示裝置，其中該液晶顯示裝置具有一控制電路來唯有於需要時才將開關設定於開態。
- 39.如申請專利範圍第37項之液晶顯示裝置，其中該液晶顯示裝置具有一復置電路來決定 CMOS 門鎖單元之初態。
- 40.一種取樣門鎖電路，具有比較器配置 CMOS 門鎖單元作為基本結構，以及包含一第一開關分別係連結於 CMOS 門鎖單元之二輸入段與二輸入信號源間，一第二開關係連結於電源供應線與 CMOS 門鎖單元之電源供應端間，以及一控制裝置來控制第一開關與第二開關的補償交換。
- 41.如申請專利範圍第40項之取樣門鎖電路，其中該第一開關及第二開關為電晶體。
- 42.如申請專利範圍第40項之取樣門鎖電路，其中架設複數取樣門鎖電路，以及第二開關係由複數取樣門鎖電路所共享。
- 43.如申請專利範圍第40項之取樣門鎖電路，其也具有一第三開關被同步化且由介於電源供應線與輸出電路之電源供應端間的第二開關控制用以輸出 CMOS 門鎖電路輸出信號。
- 44.如申請專利範圍第43項之取樣門鎖電路，其中該第二開關係組合第三開關。

- 45.如申請專利範圍第44項之取樣門鎖電路，其中架設複數取樣門鎖電路，以及第二開關係由複數取樣門鎖電路所共享。
5. 46.如申請專利範圍第40項之取樣門鎖電路，其中該取樣門鎖電路係利用薄膜電晶體形成於一玻璃基板上製造。
- 47.如申請專利範圍第40項之取樣門鎖電路，其中該取樣門鎖電路係利用薄膜電晶體形成於一矽基板上製造。
10. 48.一種液晶顯示裝置，其係整合一像素段及含有掃描系統之驅動電路於同一片基板上，其中一掃描系統包含取樣門鎖電路，帶有比較器配置 CMOS 門鎖單元作為基本結構以及包含一第一開關係分別連結於 CMOS 門鎖單元之二輸入段與二輸入信號源間，以及一第二開關係連結於電源供應線與 CMOS 門鎖單元之電源供應端間，以及一控制裝置來控制第一開關與第二開關的補償交換。
15. 49.如申請專利範圍第48項之液晶顯示裝置，其中該第一開關及第二開關為電晶體。
20. 50.如申請專利範圍第48項之液晶顯示裝置，其中架設複數取樣門鎖電路，以及第二開關係由複數取樣門鎖電路所共享。
25. 51.如申請專利範圍第48項之液晶顯示裝置，其也具有一第三開關係於第二開關被同步化且由第二開關控制介於電源供應線與輸出電路之電源供應端間用以輸出 CMOS 門鎖電路輸出信號。
30. 52.如申請專利範圍第51項之液晶顯示裝置，其中該第二開關係組合第三開關。
35. 53.如申請專利範圍第52項之液晶顯示裝置，其中複數取樣門鎖電路係對應數位資料位元數目架設，以及第二開關係由複數取樣門鎖電路所共享。
- 40.

- 54.一種門鎖電路，具有一 CMOS 門鎖單元作為基本結構，其中該門鎖電路具有一第一開關及一第二開關來分別選擇具有不同電壓之第一及第二電源供應，且係架設於 CMOS 門鎖單元之正電源端或負電源端中之至少一者，以及具有一控制裝置來根據 CMOS 門鎖單元之門鎖操作及輸出操作期間控制第一及第二開關的交換。
- 55.如申請專利範圍第 54 項之門鎖電路，其中該第一及第二開關為電晶體。
- 56.如申請專利範圍第 54 項之門鎖電路，其中架設複數門鎖電路，以及該第一開關及第二開關係由該等複數取樣門鎖電路所共享。
- 57.如申請專利範圍第 54 項之門鎖電路，其中該門鎖電路係利用薄膜電晶體形成於一玻璃基板上製造。
- 58.如申請專利範圍第 54 項之門鎖電路，其中該門鎖電路係利用薄膜電晶體形成於一矽基板上製造。
- 59.一種液晶顯示裝置，其係整合一像素段及含有掃描系統之驅動電路於同一片基板上，其中一掃描系統包含該 CMOS 門鎖單元作為基本結構，以及包含一第一開關及一第二開關來分別選擇具有不同電壓之第一及第二電源供應，且係架設於 CMOS 門鎖單元之正電源端或負電源端中之至少一者，具有一控制裝置來根據 CMOS 門鎖單元之門鎖操作及輸出操作期間控制第一及第二開關的交換。
- 60.如申請專利範圍第 59 項之液晶顯示裝置，其中該第一開關及第二開關為電晶體。
- 61.如申請專利範圍第 59 項之液晶顯示裝置，其中複數門鎖電路係對應數位資料位元數目架設，以及第一開關及第二開關係由該等複數取樣門鎖電路所共享。

圖式簡單說明：

第一圖為方塊圖顯示本發明之第一具體例之驅動電路整合的液晶顯示裝置之系統配置。

5. 第二圖為電路圖顯示有效像素區之構造。

第三圖為基本布局圖顯示參考電壓選擇 DA 轉換器電路。

10. 第四圖為電路圖顯示參考電壓選擇 DA 轉換器電路之基本電路構造。

第五圖為剖面圖顯示單晶矽電晶體之典型構造。

第六圖為剖面圖顯示多晶矽薄膜電晶體之典型構造。

15. 第七圖為電路圖顯示本發明之第一具體例之位準移位電路。

第八圖為時序圖舉例說明本發明之第一具體例之位準移位電路之電路操作。

20. 第九圖為直流電壓作為參考電壓時之時序圖。

第十圖為電路圖顯示第一具體例之位準移位電路之調整適應例。

25. 第十圖 B 為電路圖顯示相關技術。

第十圖 C 為另一電路圖顯示相關技術 1。

第十一圖為電路圖顯示第一具體例之位準移位電路之另一調整適應例。

30. 第十一圖 B 為電路圖顯示相關技術之另一例。

第十一圖 C 為另一電路圖顯示相關技術 2。

第十二圖為電路圖顯示第一具體例之位準移位電路之又另一調整適應例。

35. 第十二圖 C 為另一電路圖顯示相關技術 3。

第十三圖為時序圖舉例說明加入復置電路時之電路操作。

40. 第十三圖 A 為相關技術 1 之電路圖。

第十三圖 C 為另一電路圖顯示相關技術 4。

第十四圖為用以產生復置信號之電路圖。

第十四圖 A 為相關技術 2 之電路圖。

第十五圖為電路圖顯示本發明之第二具體例之位準移位電路。

第十五圖 A 為相關技術 3 之電路圖。

第十六圖為電路圖顯示本發明之第二具體例之位準移位電路之調整適應例。

第十七圖為方塊圖顯示水平移位暫存器之典型構造。

第十八圖為電路圖顯示本發明之第一具體例之取樣維持電路。

第十九圖為時序圖舉例說明本發明之第一具體例之取樣維持電路之電路操作。

第二十圖為當輸入信號 in1 之反相信號被設定作為輸入信號 in2 時之時序圖。

第二十一圖為電路圖顯示本發明之第一具體例之取樣維持電路之調整適應例。

第二十二圖為電路圖顯示本發明之第二具體例之取樣維持電路。

第二十三圖為方塊圖顯示當取樣維

持電路利用作為具體例之取樣及第一門鎖電路時之細節構造。

第二十四圖為方塊圖顯示當反相數位資料用作輸入信號 in2 時之構造。

第二十五圖為方塊圖顯示第二十四圖之調整適應例。

第二十六圖為電路圖顯示門鎖電路之第一具體例。

10. 第二十七圖為時序圖舉例說明本發明之第一具體例之門鎖電路之電路操作時序。

第二十八圖為時序圖舉例說明本發明之第一具體例之門鎖電路之另一電路操作時序。

15. 第二十九圖為電路圖顯示本發明之第一具體例之門鎖電路之細節範例。

第三十圖為電路圖顯示本發明之第二具體例之門鎖電路。

20. 第三十一圖為電路圖顯示本發明之第三具體例之門鎖電路。

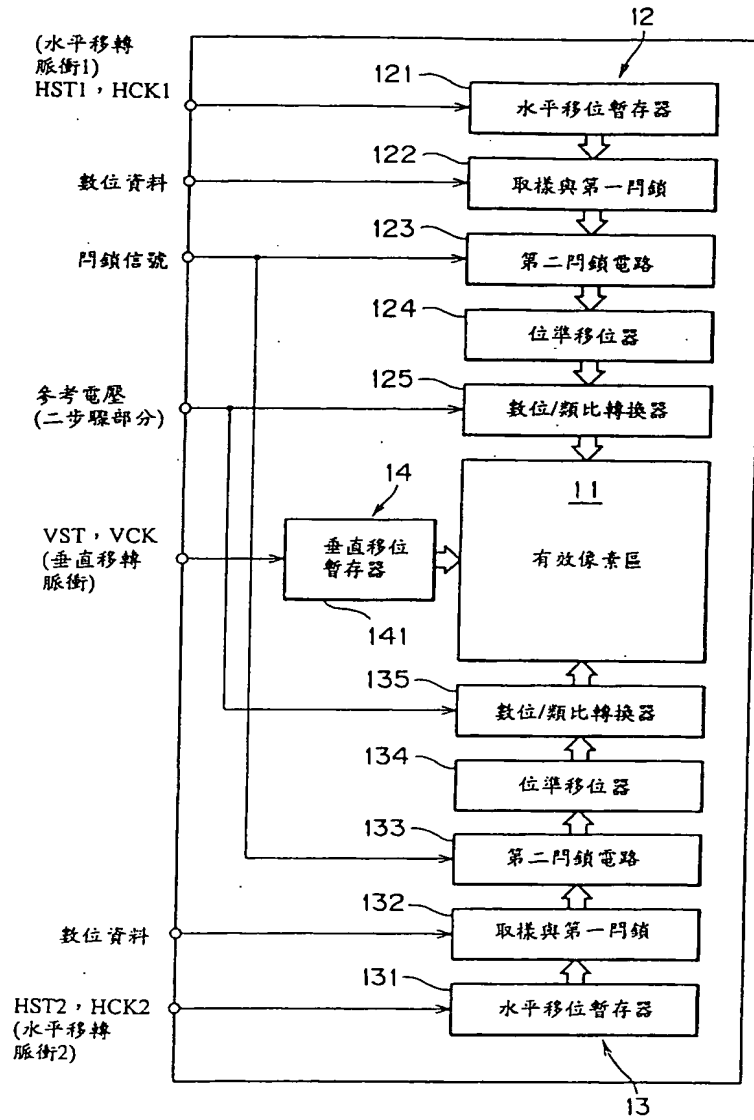
第三十二圖為方塊圖顯示當第二門鎖電路用於具體例作為門鎖電路時之細節構造。

25. 第三十三圖為方塊圖顯示第三十二圖之調整適應例。

第三十四圖為方塊圖顯示相關技術之系統構造。

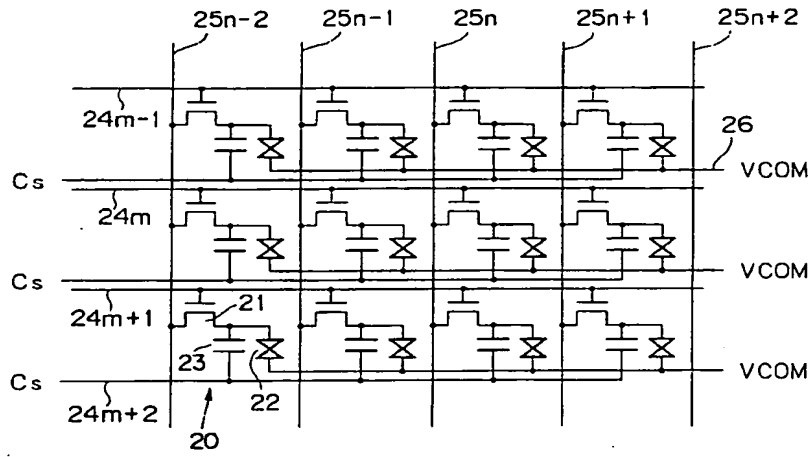
第三十五圖為電路圖顯示典型參考電壓選擇 DA 轉換器電路。

(7)

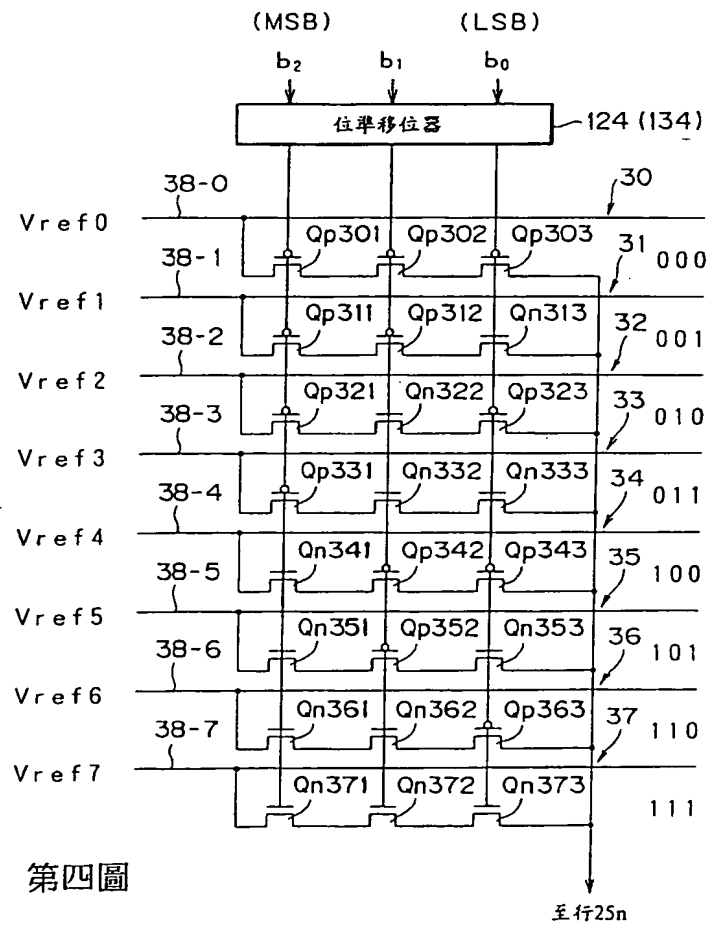


第一圖

(8)

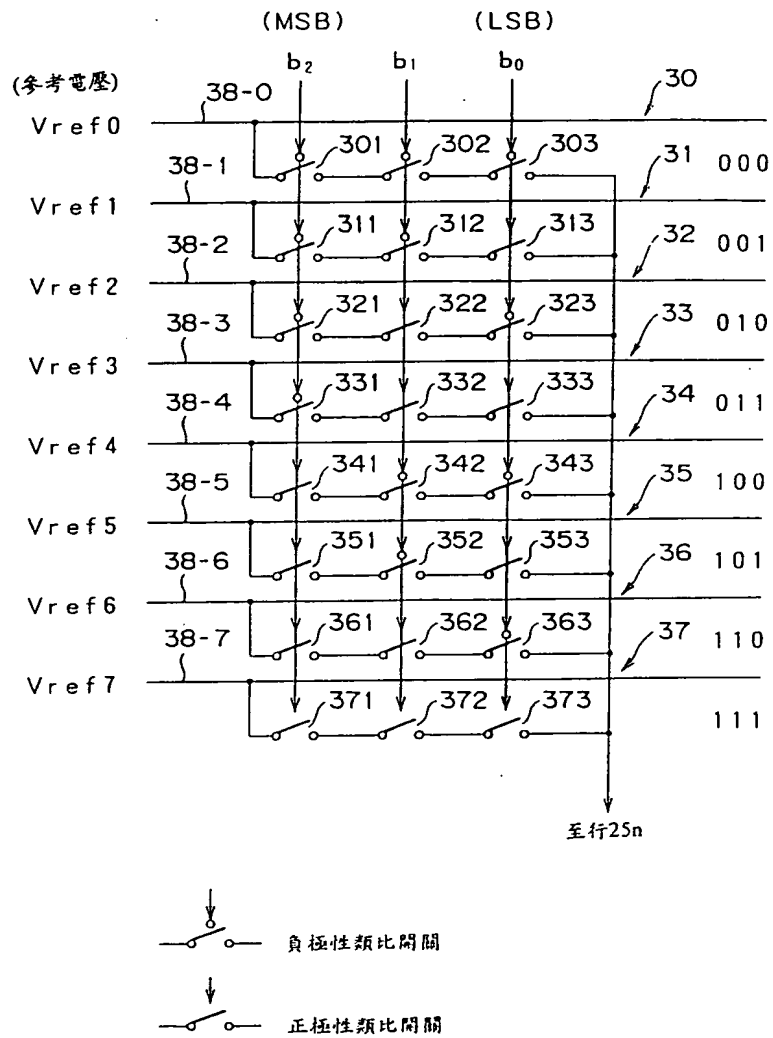


第二圖



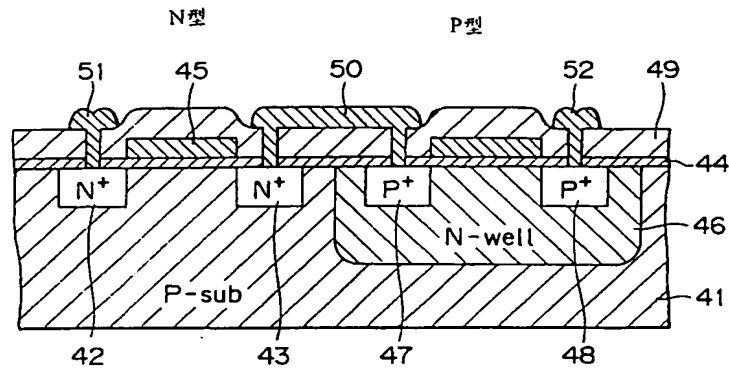
第四圖

(9)

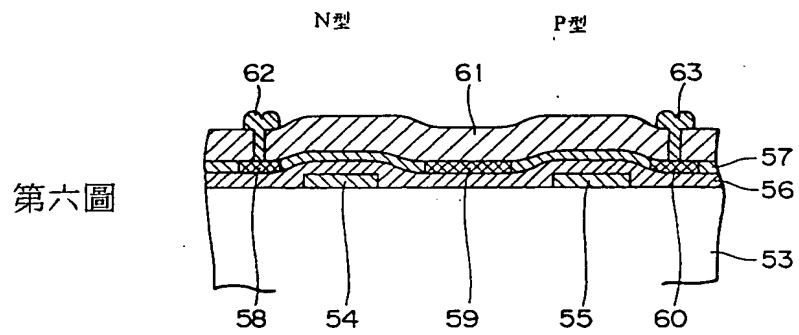


第三圖

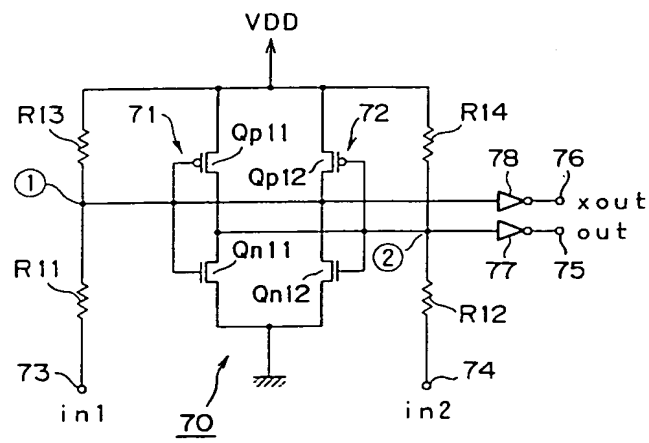
(10)



第五圖

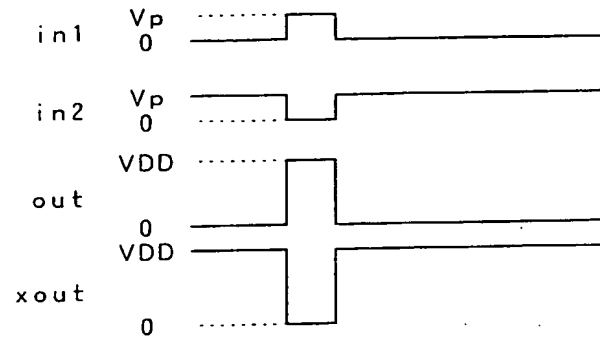


第六圖

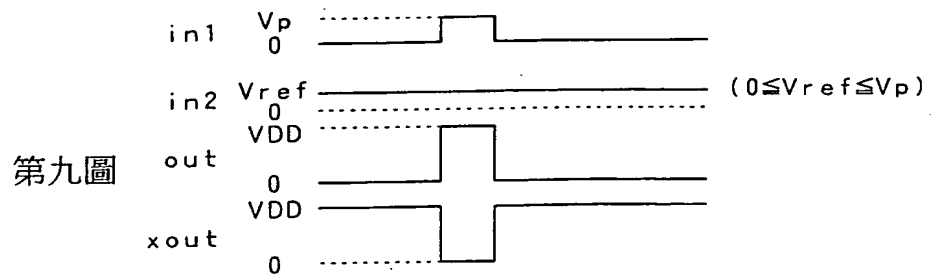


第七圖

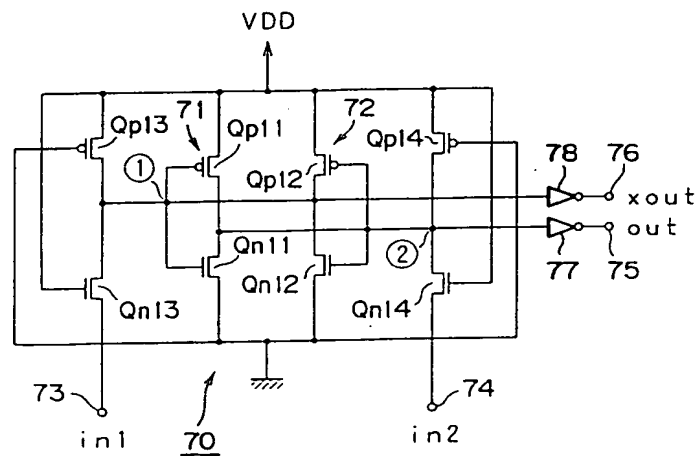
(11)



第八圖

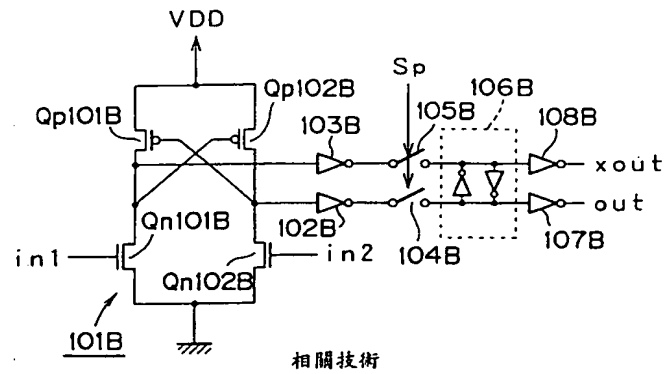


第九圖

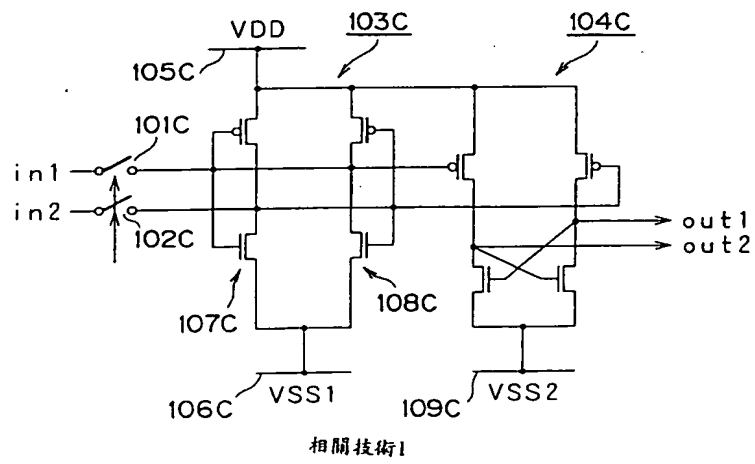


第十圖

(12)



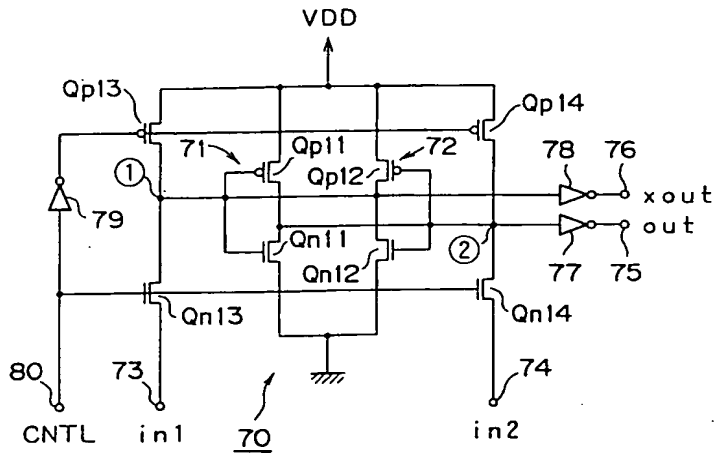
B



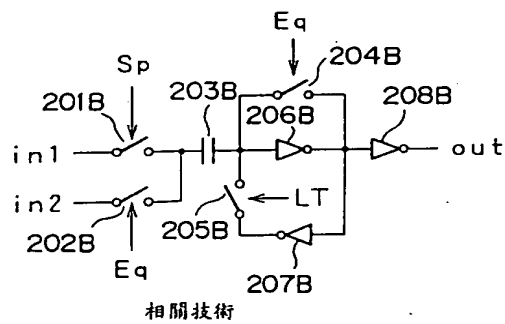
C

第十圖

(13)

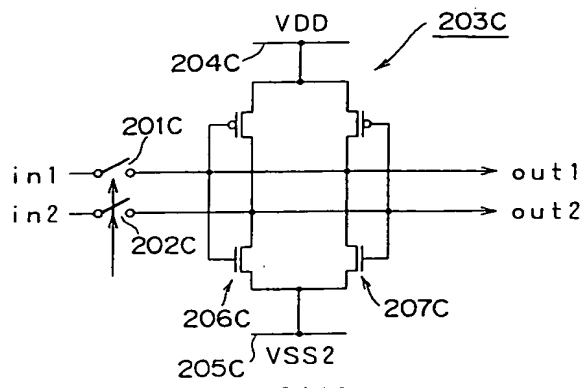


第十一圖



相關技術

B

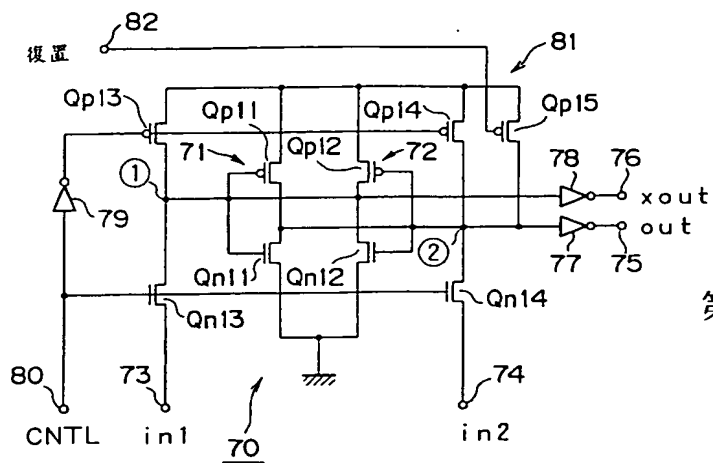


相關技術2

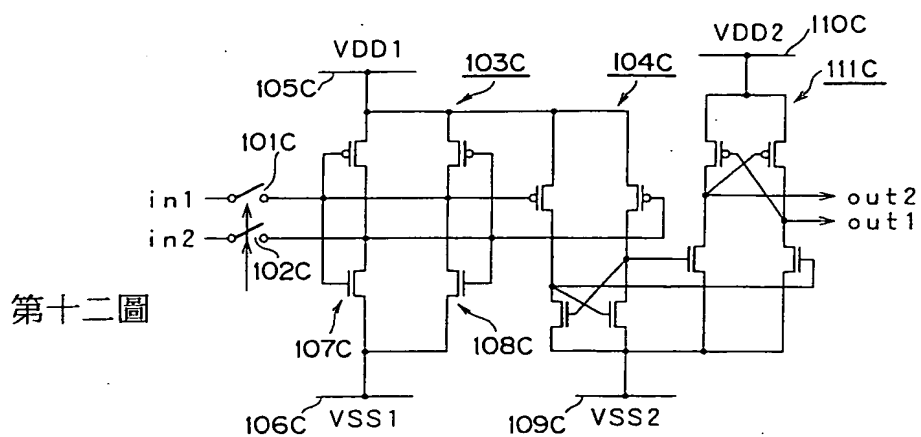
C

第十一圖

(14)

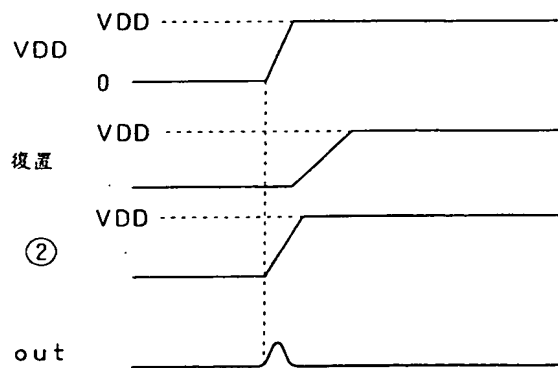


第十二圖



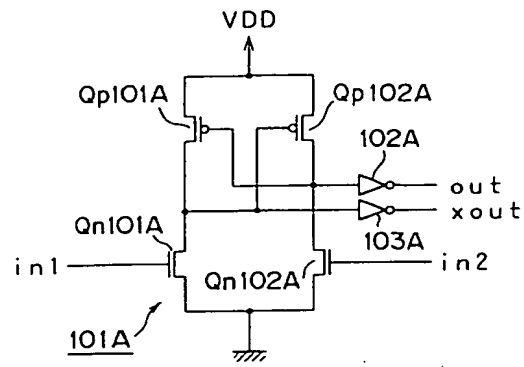
第十二圖

相關技術3
C



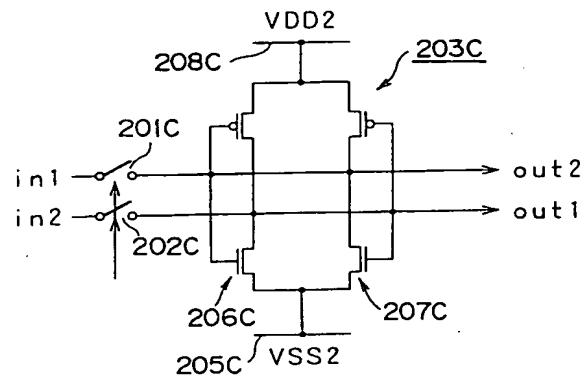
第十三圖

(15)



相關技術1

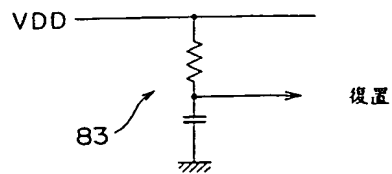
A



相關技術4

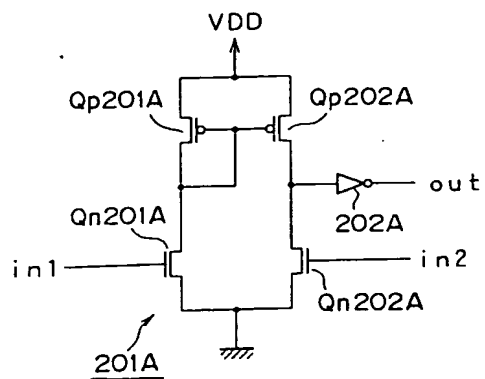
C

第十三圖

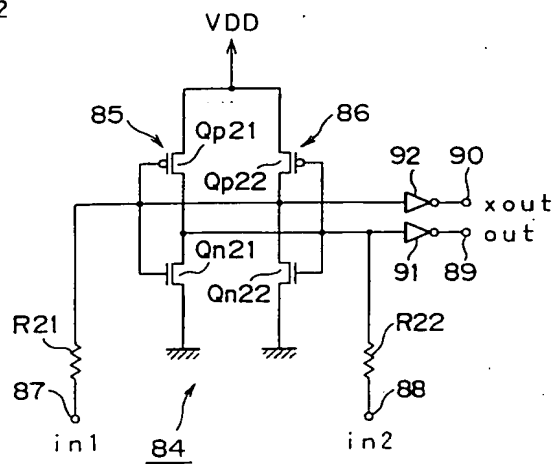


第十四圖

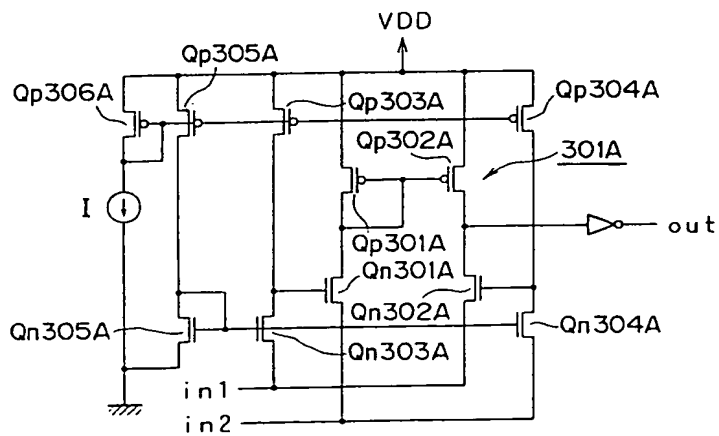
(16)



相關技術2
第十四圖 A

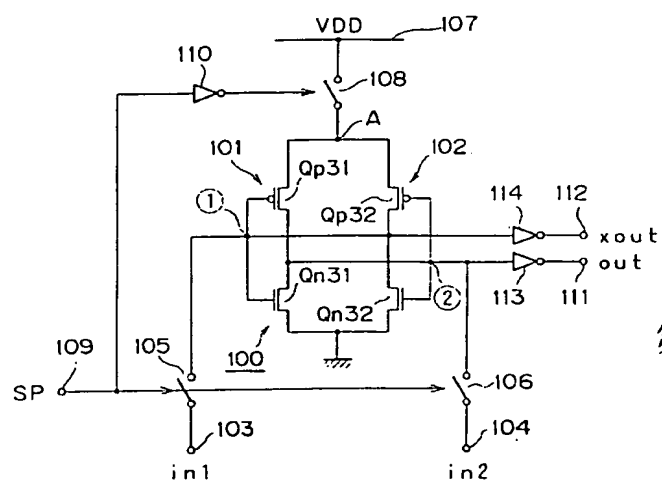
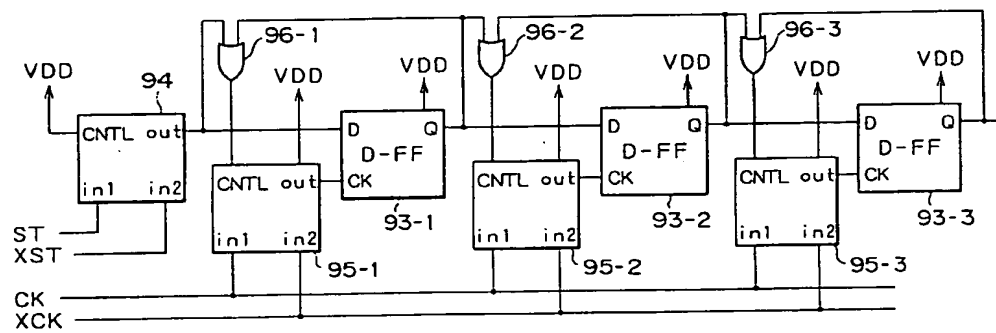
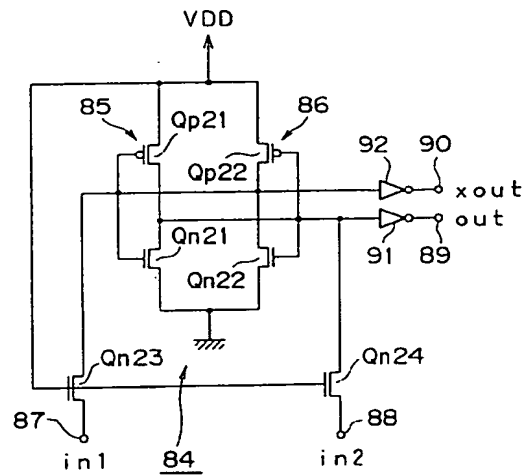


第十五圖

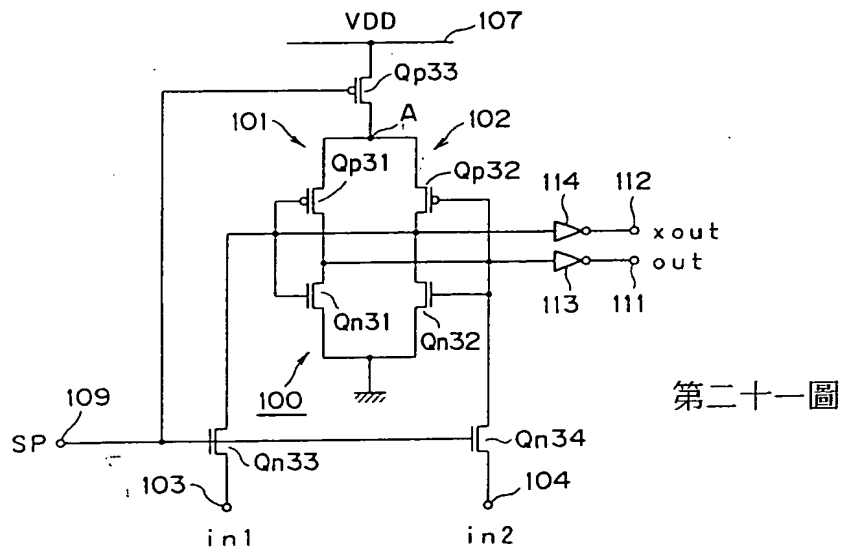
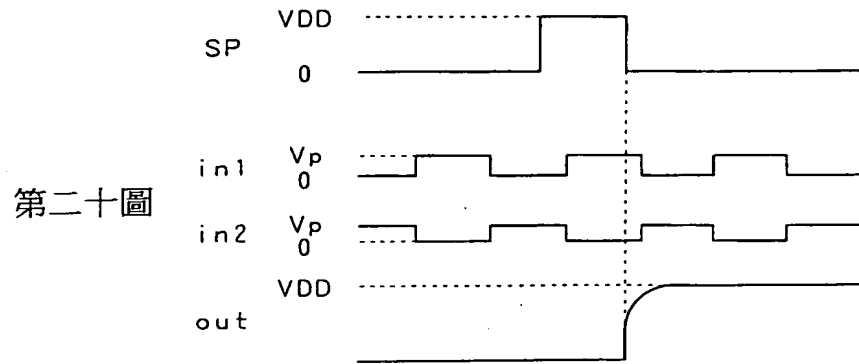
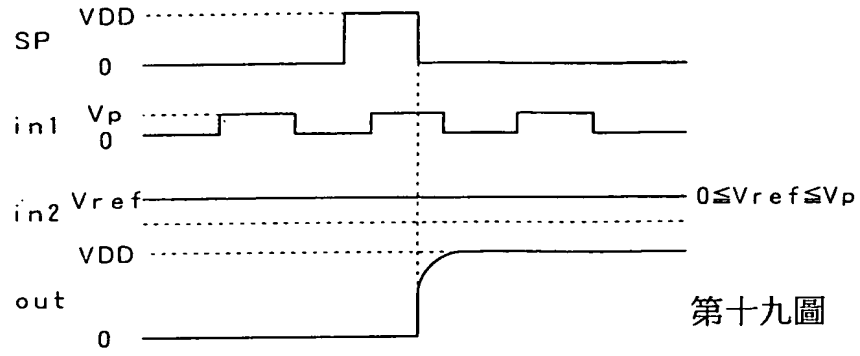


相關技術3
第十五圖 A

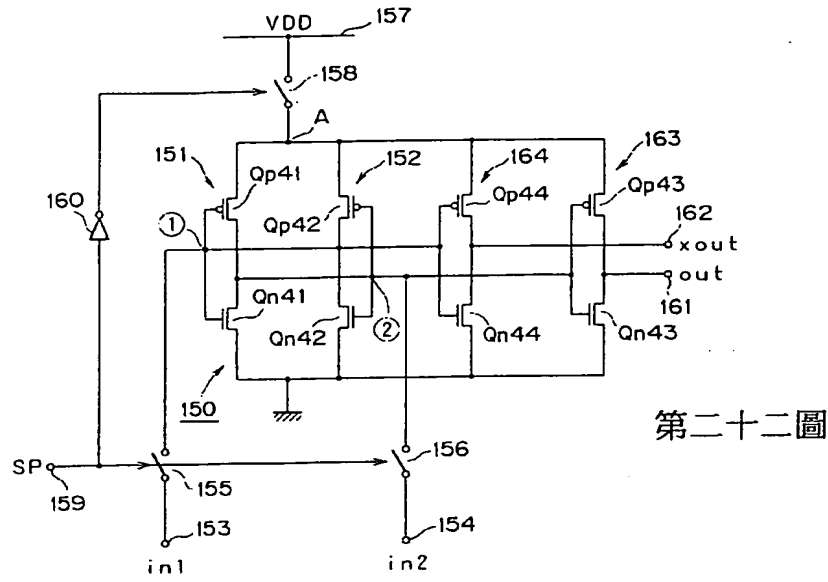
• • • •



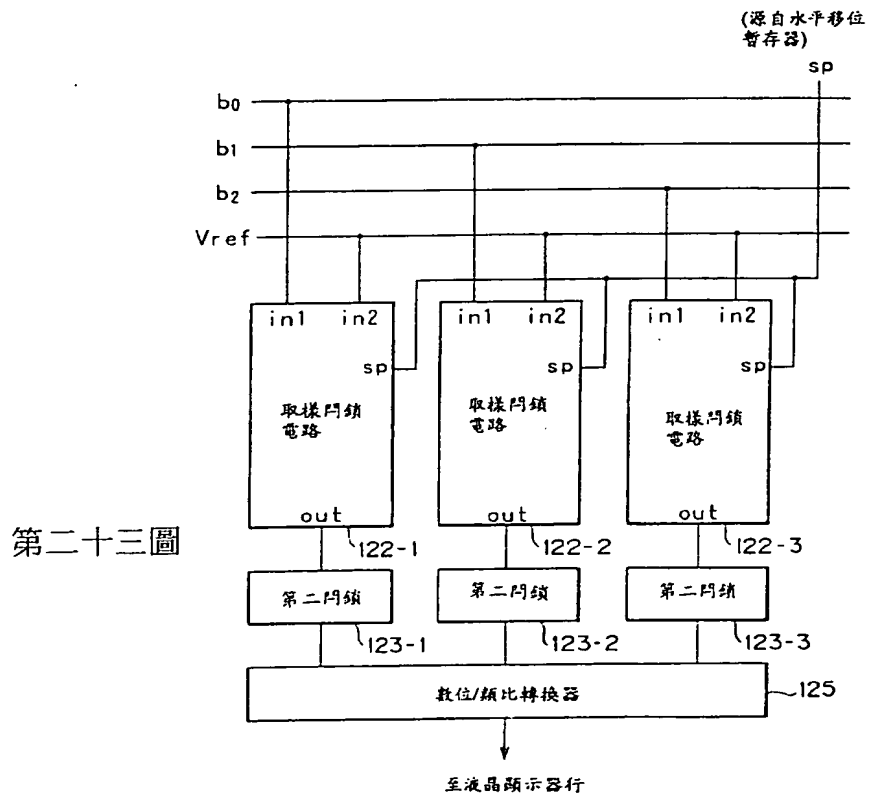
(18)



(19)

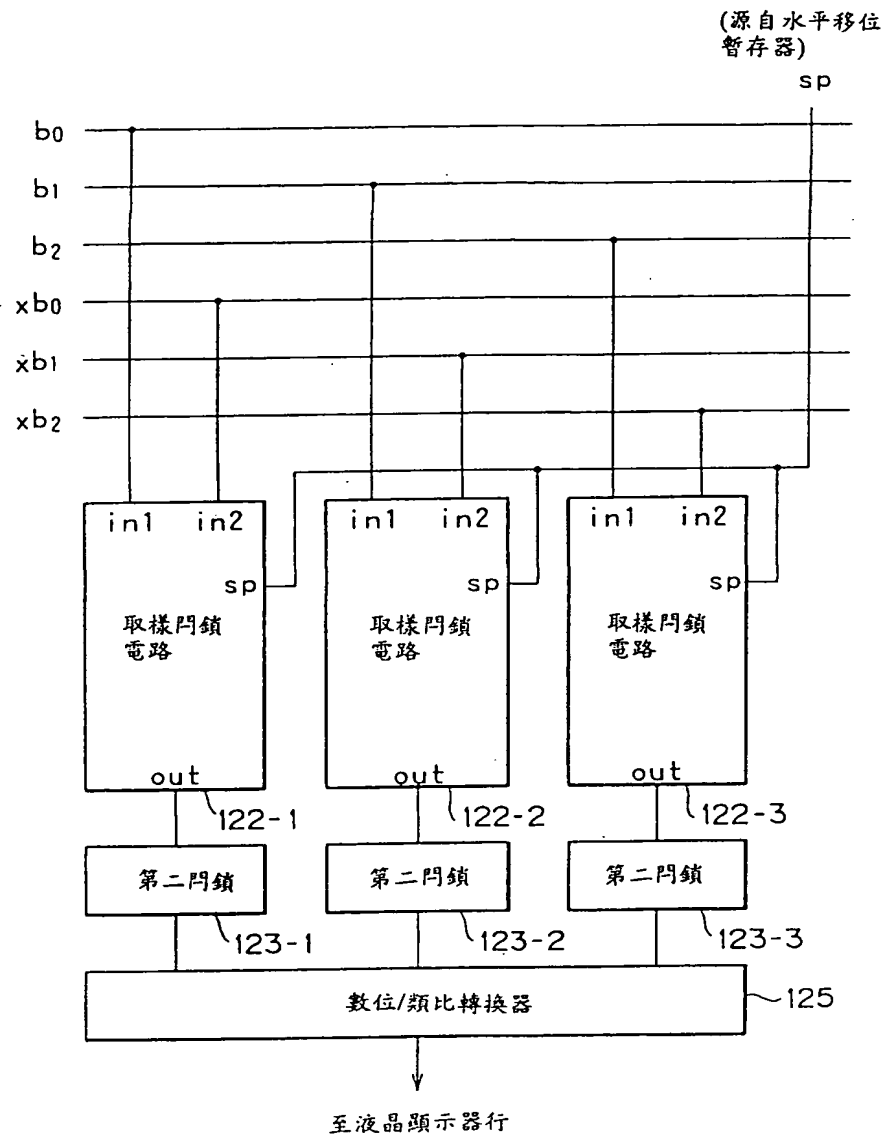


第二十二圖



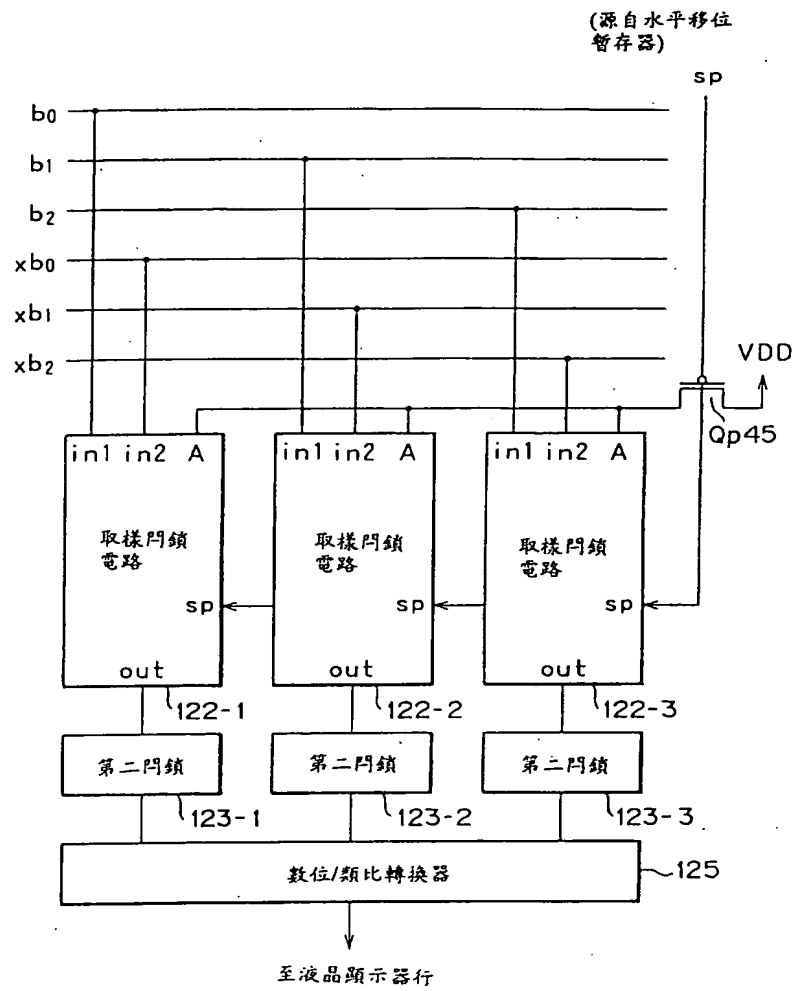
第二十三圖

(20)



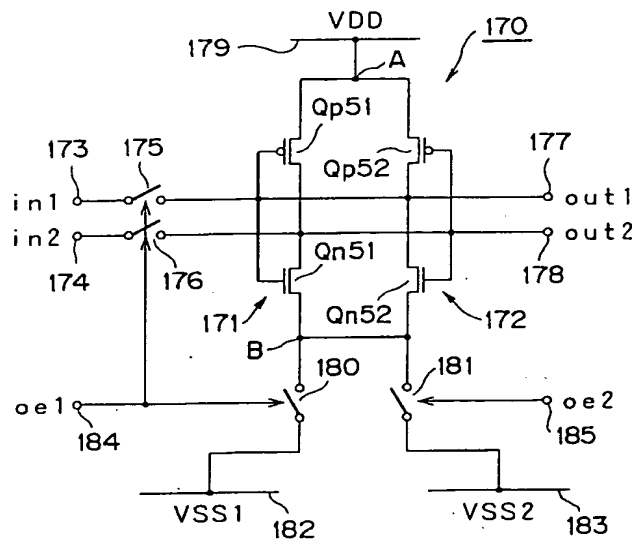
第二十四圖

(21)

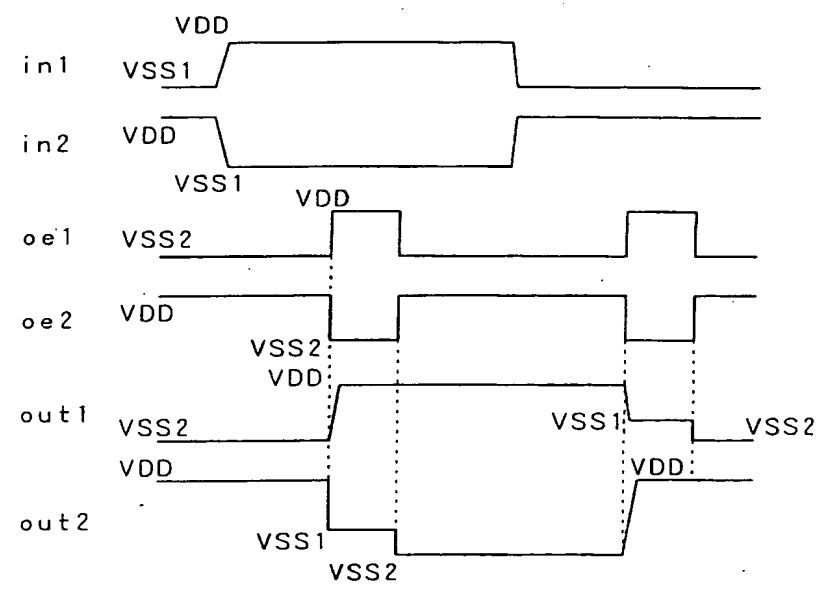


第二十五圖

(22)

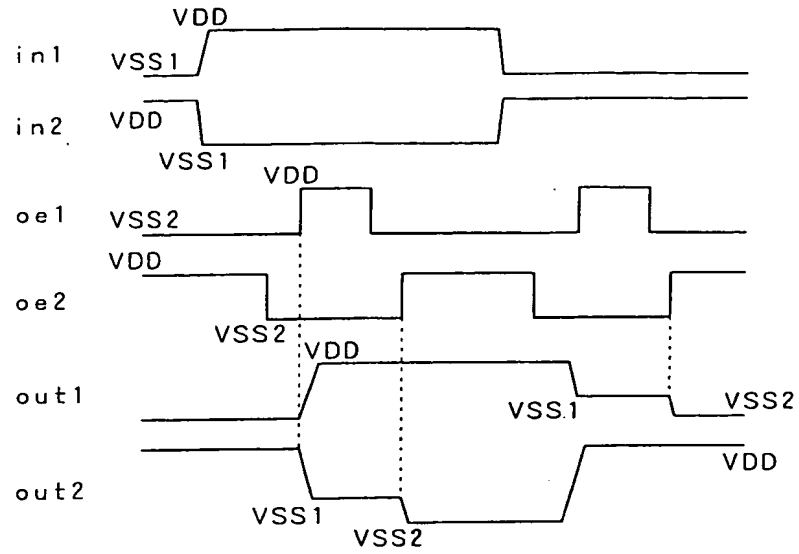


第二十六圖

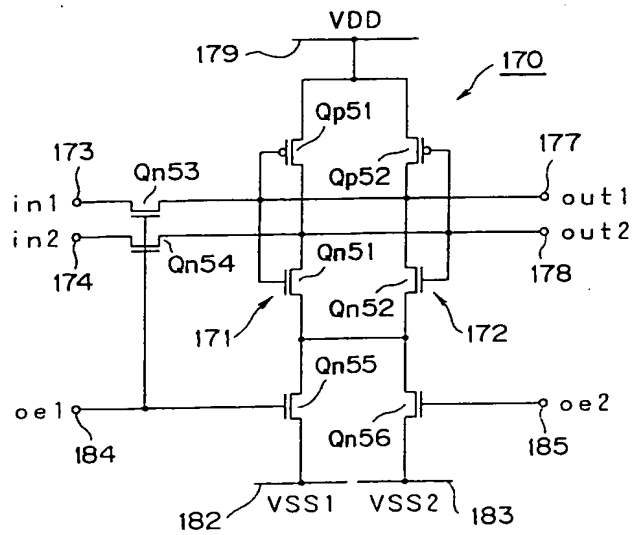


第二十七圖

(23)

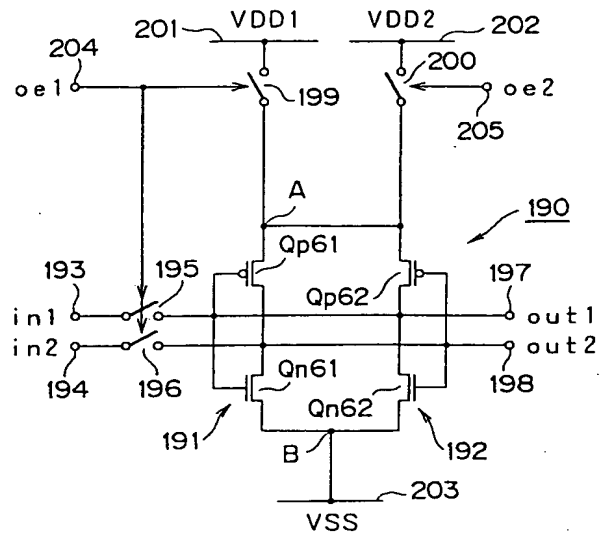


第二十八圖

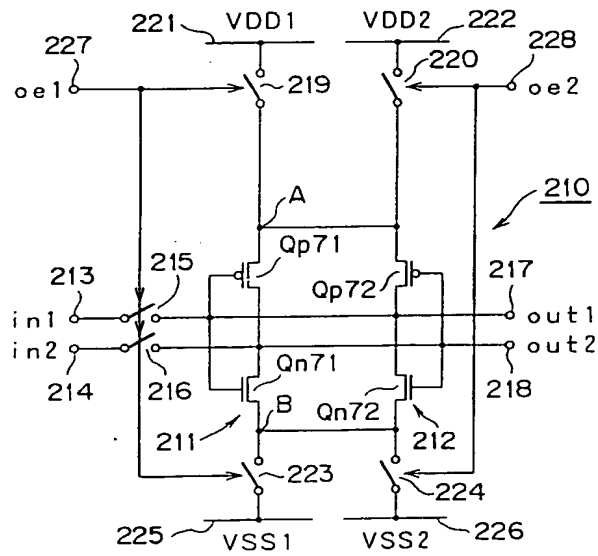


第二十九圖

(24)

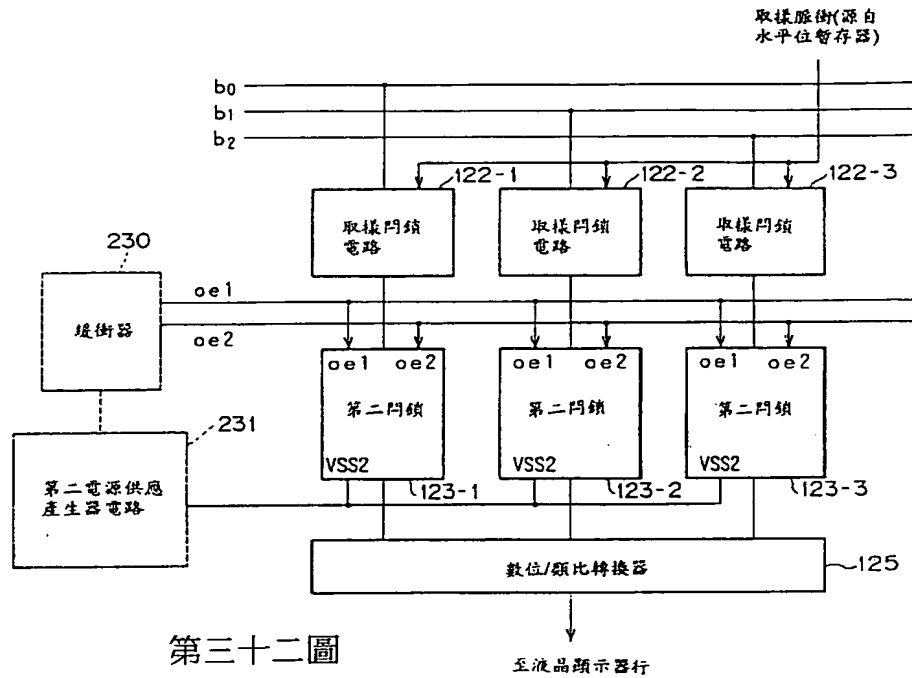


第三十圖

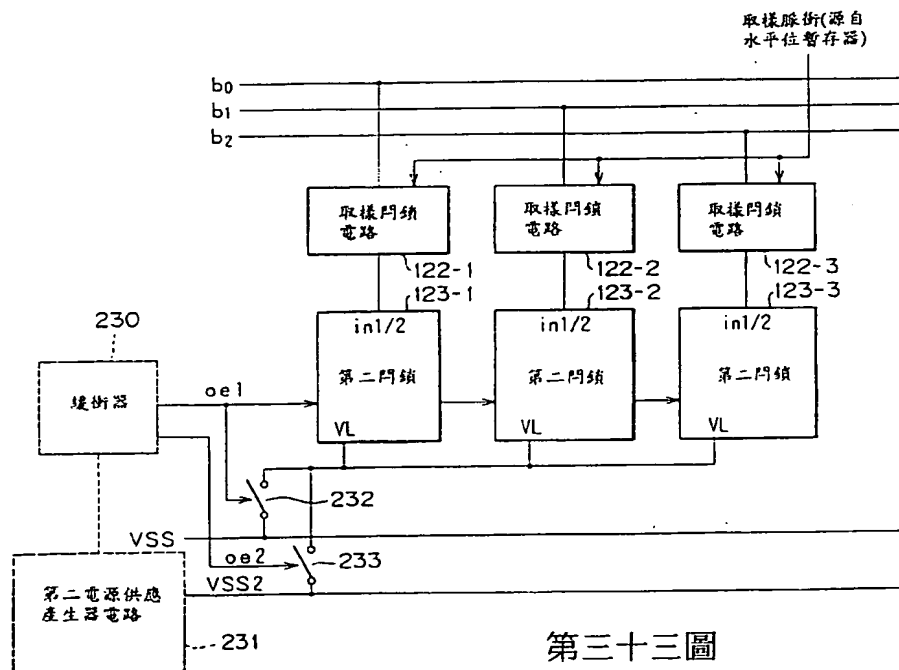


第三十一圖

(25)

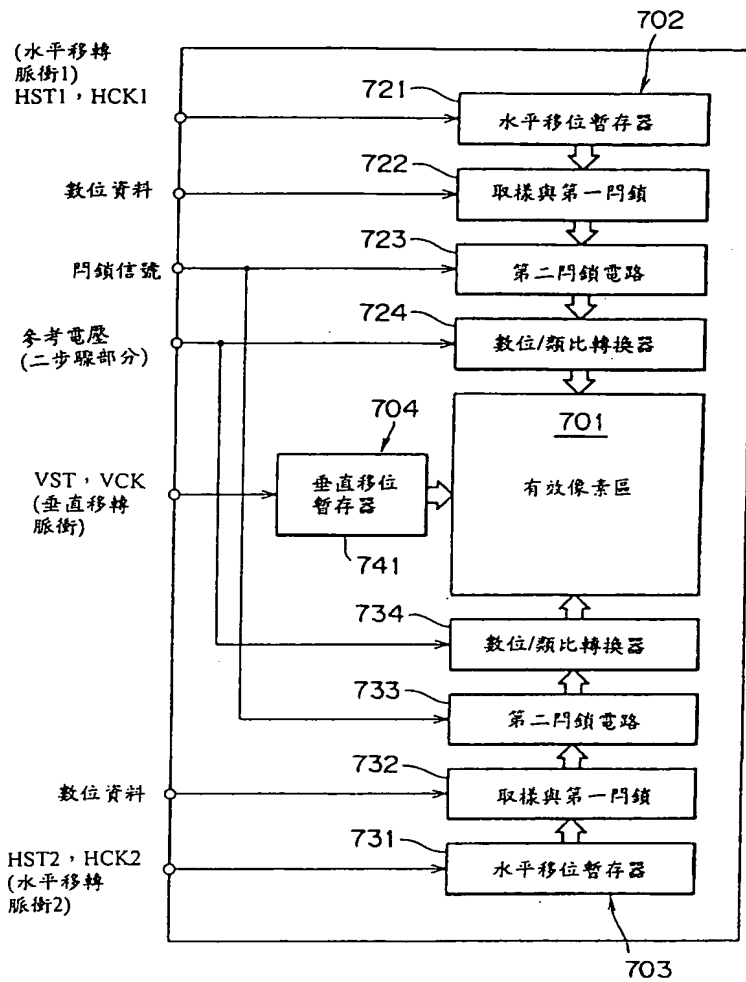


第三十二圖



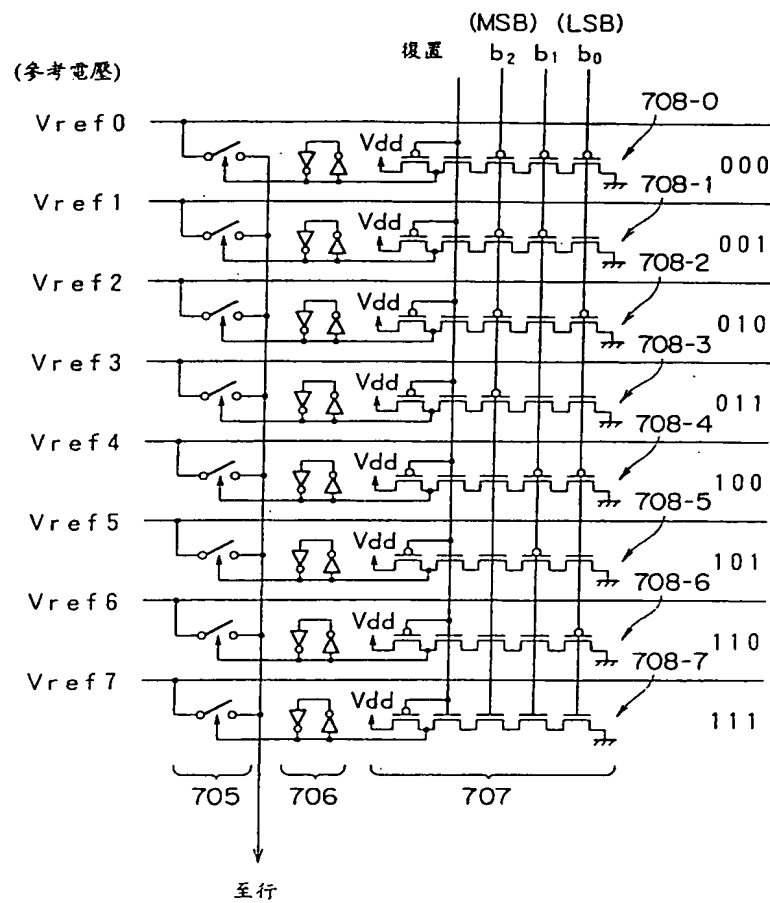
第三十三圖

(26)



第三十四圖

(27)



第三十五圖

正本

經濟部智慧財產局專利核駁審定書

受文者：友達光電股份有限公司（代理人：洪澄

文 先生、顏錦順 先生）

地 址：臺北市大安區信義路四段二七九號三樓

發文日期：中華民國九十三年二月六日

發文字號：（九三）智專二（一）04074字

第〇九三二〇一一二一一〇號

專利分類IPC(7)……H03K 19/0944

一、申請案號數：〇九二一〇五七七四

二、發明名稱：位準移位電路

三、申請人：

名稱：友達光電股份有限公司

地址：新竹市新竹科學工業園區力行二路一號

四、專利代理人：

姓名：洪澄文 先生

地址：臺北市大安區信義路四段二七九號三樓

姓名：顏錦順 先生

地址：臺北市大安區信義路四段二七九號三樓

五、申請日期：九十二年三月十七日



六、優先權項目：

七、審查人員姓名：何金澤 委員

八、審定內容：

主文：本案應不予專利。

依據：專利法第二十條第二項。

理由：

(一) 本案「位準移位電路」包括位準調變電路以及致能電路。位準調變電路具有用以分別接收一對互補信號之正相輸入端以及反相輸入端、以及第一輸出端，以根據正相輸入端以及反相輸入端所接收之互補信號之位準而輸出對應之電壓位準。致能電路係耦接於第一輸出端，當接收到失能信號時，則使第一輸出端輸出與正常操作時不同之既定電壓位準。

(二) 查九十年十月二十一日專利公報公告第461180號「數位／類比轉換器電路、位準移位電路、利用位準移位電路的移位暫存器，取樣門鎖電路，門鎖電路及合併前述電路的液晶顯示裝置」（如引證附件），該引證案中之位準移位電路，具有一CMOS門鎖單元作為基本結構且將低電壓振幅信號轉成高電壓振幅信號，該位準移位操作係唯有當開關於開態時進行，經由利用具有有限電阻值的開關作為第一及第二電阻器元件，以及於所有其它時間進行門鎖操作，該位準移位電路具有控制電路來唯有於需要時設定開關於開態。本案利用致能電路於任何形式之位準調變電路之輸出端，以確保位準調變電路之輸出不致

受到外部雜訊之干擾，此種利用開關之致能電路結構雷同於引證案，只是本案用電晶體電路來實現有所不同，惟此種電路結構改變，為熟習該項技術者所能輕易完成，並不具有進步性。

- (三) 另予指明，依據說明書內容，申請專利範圍第二、十項第三行「汲極」應為「閘極」，第十一至十三項應依附第十項，第十四項應依附第十二項，第十五項應依附第十四項。
- (四) 綜上所述，本案係運用申請前既有之技術或知識，而為熟習該項技術者所能輕易完成者，難謂符合發明專利要件。

據上論結，本案不符法定專利要件，爰依專利法第二十條第二項，審定如主文。

局長 蔡練生

依照分層負責規定授權單位主管決行
如不服本審定，得於文到之次日起三十日內，備具再審查理由書一式二份及規費新台幣陸仟元

裝

訂

線

整（專利說明書及圖式合計在五十頁以上者，每五十頁加收新台幣五百元，其不足五十頁者以五十頁計），向本局申請再審查。